

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 253/011

2  
JC996 U.S. PTO  
10/086375  
03/04/02

In re patent application of

Sung-Un KWEAN, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: METHOD OF MANUFACTURING A CAPACITOR OF A SEMICONDUCTOR  
DEVICE

**CLAIM FOR CONVENTION PRIORITY**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

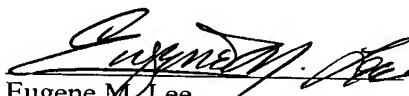
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2001-11542, filed March 6, 2001.

Respectfully submitted,

March 4, 2002  
Date

  
Eugene M. Lee  
Reg. No. 32,039  
Richard A. Sterba  
Reg. No. 43,162

LEE & STERBA, P.C.  
1101 Wilson Boulevard Suite 2000  
Arlington, D.C. 20009  
Telephone: (703) 525-0978

2

JC996 U.S. PRO  
10/086375  
03/04/02

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 11542 호  
Application Number

출원년월일 : 2001년 03월 06일  
Date of Application

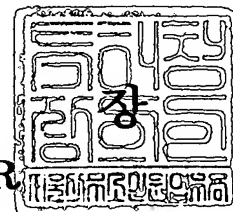
출원인 : 삼성전자 주식회사  
Applicant(s)



2001 년 03 월 27 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2001.03.06
【발명의 명칭】	반도체 장치의 캐패시터 제조 방법
【발명의 영문명칭】	Method for manufacturing capacitor in semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	권성운
【성명의 영문표기】	KWEAN, Sung Un
【주민등록번호】	700306-1520212
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 고매리 동성아파트 102동 1103호
【국적】	KR
【발명자】	
【성명의 국문표기】	황재성
【성명의 영문표기】	HWANG, Jae Seung
【주민등록번호】	621206-1005616
【우편번호】	442-729
【주소】	경기도 수원시 팔달구 영통동 산나무실신원아파트 643동 703호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	8	면	8,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	16	항	621,000	원
---------	----	---	---------	---

【합계】	658,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

## 【요약서】

## 【요약】

공정이 단순화되고 축적 용량이 증가된 캐패시터의 제조 방법이 개시되어 있다. 반도체 기판 상에 제1 절연층, 식각 저지층 및 제2 절연층을 순차적으로 증착하고, 상기 제2 절연층의 소정 부위를 식각하여 예비 개구부를 형성한다. 상기 예비 개구부를 확장시켜 제1 개구부를 형성한다. 그리고 상기 제1 개구부와 연장되어 상기 제1 개구부에 비해 식각되는 부위가 좁은 제2 개구부를 형성한다. 상기 제1 개구부와 제2 개구부의 측벽 및 저면에 연속적으로 제1 도전층 패턴을 형성한다. 상기 제1 도전층 패턴상에 순차적으로 유전체층 및 제2 도전층을 형성하여 반도체 장치의 캐패시터를 제조하는 방법을 제공한다. 따라서 상기 제1 개구부가 매몰되지 않고, 상기 제1 개구부의 측벽 및 저면에 제1 도전층 패턴이 형성되기 때문에 캐패시터의 축적 용량이 증가되며, 공정이 단순화되는 효과가 있다.

## 【대표도】

도 2d

## 【명세서】

## 【발명의 명칭】

반도체 장치의 캐패시터 제조 방법{Method for manufacturing capacitor in semiconductor device}

## 【도면의 간단한 설명】

도 1a 내지 도 1f는 종래의 반도체 장치에서 실린더형의 캐패시터의 제조 방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2h는 본 발명의 실시예 1에 따른 캐패시터를 갖는 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 3d는 본 발명의 실시예 2에 따른 반도체 장치에서 캐패시터의 제조하는 방법을 나타내기 위한 단면도들이다.

## \* 도면의 주요부분에 대한 부호의 설명 \*

30 : 반도체 기판

40 : 제1 절연층

42 : 식각 저지층

44 : 제2 절연층

46 : 포토레지스트 패턴

47 : 예비 개구부

48 : 제1 개구부

50 : 제2 개구부

52 : 개구부

54a : 제1 도전층 패턴

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 장치에서 캐패시터의 제조 방법에 관한 것으로, 보다 상세하게는 반도체 장치에서 공정이 단순화되고, 축적 용량이 증가된 캐패시터의 제조 방법에 관한 것이다.
- <11> 근래에 컴퓨터가 급속히 보급되면서 반도체 장치들에 대한 수요도 크게 증가하고 있다. 반도체 장치들은 그 기능적인 면에 있어 높은 축적 용량을 가지면서 고속 동작이 요구되어진다. 이를 위하여 반도체 장치의 집적도, 응답속도 및 신뢰성을 향상시키기 위한 공정 기술들이 개발되어 왔다.
- <12> 현재, 반도체 메모리 장치로서는 정보의 입력과 출력이 자유로우면서도 고용량을 갖는 DRAM 장치가 범용적으로 이용되고 있다. DRAM 장치는 일반적으로 전하의 형태로 정보 데이터를 저장하는 메모리 셀 영역과 데이터의 입출력을 위한 주변 회로 영역으로 구성된다. DRAM 장치의 단위 셀은 하나의 트랜지스터(transistor)와 하나의 축적 캐패시터(storage capacitor)를 구비하는 것이 일반적이다.
- <13> 이러한 캐패시터는 집적도의 증가가 요구되는 반도체 장치에 부응하기 위해 그 크기가 더욱 감소되어야 하며, 반도체 장치의 특성 향상을 위해 높은 축적 용량을 갖도록 제조되어야 한다. 따라서 이를 만족시키기 위한 상기 캐패시터의 제조 공정 기술이 발전되고 있다.
- <14> 상기 캐패시터 제조 공정은 초기의 평면 캐패시터 구조에서 스택(stack)형 또는 트

렌치(trench)형 캐패시터 구조로 변화되고 있으며, 스택형 캐패시터 구조에서도 실린더형 캐패시터 또는 핀(fin)형 캐패시터 등 스토리지 전극의 면적을 증대시키기 위한 구조로 기술 변화가 이루어져 오고 있다. 예를 들면, 미합중국 특허 제5,656,536호에는 왕관형상의 적층형 캐패시터가 제시되어 있고, 미합중국 특허 제5,716,884호 및 제5,807,782호에는 핀 형상의 적층형 캐패시터가 제시되어 있다.

- <15> 도 1a 내지 도 1f는 종래의 반도체 장치에서 실린더형의 캐패시터의 제조 방법을 설명하기 위한 단면도들이다.
- <16> 도 1a를 참조하면, 반도체 기판(10)상에 제1 절연층(12)을 형성한다. 이어서 상기 제1 절연층(12)의 소정 부위에 사진,식각 공정을 수행하여 상기 반도체 기판(10)의 전극 형성 영역을 노출시켜 제1 개구부(14)를 형성한다.
- <17> 도 1b를 참조하면, 상기 제1 개구부(14)를 매몰하면서 도전물질을 증착하여 제1 도전층(16)을 형성한다. 상기 증착되는 도전물질은 불순물이 도핑된 폴리실리콘을 사용할 수 있다.
- <18> 도 1c를 참조하면, 상기 제1 도전층(16)을 에치백하여 상기 제1 개구부(14)의 내부에 상기 폴리실리콘이 채워지고 상기 제1 개구부(14)이외의 영역에는 제1 절연층(12)이 노출되는 형태의 콘택 플러그(16a)를 형성한다.
- <19> 도 1d를 참조하면, 상기 콘택 플러그(16a)의 상에 식각 저지층(18) 및 제2 절연층(20)을 순차적으로 형성한다. 이어서 사진,식각 공정에 의해 제2 절연층(20)의 소정 부위를 식각하여, 콘택 플러그(16a) 및 그 주변의 제1 절연층(12)을 노출시키는 제2 개구부(22)를 형성한다. 즉, 상기 제2 개구부(22)는 상기 콘택 플러그(16a) 영역보다 넓게



식각되며, 상기 식각된 부위가 상기 콘택 플러그(16a)영역 전체를 포함하도록 형성된다.

<20> 도 1e를 참조하면, 노출된 제1 절연층(12) 및 콘택 플러그(16a)의 상면과 제2 개구부(22)의 측벽 및 상면에 제2 도전층(24)을 형성한다. 이어서, 상기 제2 개구부(22)를 제외한 부위에 제2 절연층(20)이 노출되도록 상기 제2 도전층(24)을 에치백하여 스토리지 전극을 형성한다. 상기 에치백은 건식 식각 또는 화학 기계적 연마에 의해 수행된다.

<21> 도 1f를 참조하면, 상기 스토리지 전극상에 순차적으로 유전체층(26) 및 플레이트 전극(28)을 형성하여 캐패시터를 형성한다.

<22> 상술한 종래 방법에 의하면, 상기 캐패시터는 상기 스토리지 전극이 실린더 형태를 가짐으로서 축적 용량을 향상시킬 수 있으나, 이는 한계를 가지고 있다. 또한 상기 캐패시터를 형성하기 위해 사진 공정, 식각 공정 및 연마 공정이 수회에 걸쳐 수행되어야 하므로 공정을 수행하는데 소요되는 시간이 증가하여 생산성의 감소를 초래한다.

<23> 따라서 이러한 문제점을 해결하기 위하여, 제1 절연층과 제2 절연층을 순차적으로 형성하고, 상기 제2 절연층의 상부에 사진, 식각 공정을 수행한 다음, 다시 상기 제2 절연층의 상부에 오프닝이 확장된 포토레지스트 패턴을 형성하여 사진 식각 공정을 수행함으로써, 상부에 식각된 부위가 넓게 형성되는 개구부를 형성하고, 상기 개구부에 상기 스토리지 전극을 형성시키는 방법이 Shih 등에게 허여된 미 합중국 특허 제 6,037,213호에 개시되어 있다.

<24> 그러나 이러한 방법도 역시 사진 공정이 두 번에 걸쳐 수행되어야 하기 때문에 공

정에 소요되는 시간이 증가한다. 또한 상기 포토레지스트 패턴으로 이루어지는 포토마스크와 제2 절연층인 하드 마스크를 동시에 사용하여 식각 공정을 진행하기 때문에 식각 공정 시에 폴리머가 발생하기 쉬우며, 상기 형성되는 개구부의 프로파일을 컨트롤하기 어려운 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<25> 따라서 본 발명의 목적은, 공정이 단순화되고 축적 용량이 증가된 캐패시터의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<26> 본 발명의 목적을 달성하기 위하여, 본 발명은, 반도체 기판 상에 제1 절연층, 식각 저지층 및 제2 절연층을 순차적으로 증착시킨 구조물을 형성한다. 상기 제2 절연층의 소정 부위를 식각하여 식각 저지층을 노출시켜 예비 개구부를 형성한다. 상기 예비 개구부를 횡방향으로 확장시켜 제1 개구부를 형성한다. 상기 제1 개구부의 하부면의 소정 부위를 식각하여, 상기 제1 개구부에 비해 식각되는 부위가 좁고, 전극 형성 영역의 중앙부의 상기 반도체 기판의 일부분을 노출되는 제2 개구부를 형성한다. 상기 제1 개구부와 제2 개구부의 측벽 및 저면에 연속적으로 제1 도전층 패턴을 형성한다. 상기 제1 도전층 패턴상에 순차적으로 유전체층 및 제2 도전층을 형성하여 반도체 장치의 캐패시터를 제조한다.

<27> 상기 제1 개구부가 매몰되지 않고, 상기 제1 개구부의 측벽 및 저면에 제1 도전층 패턴이 형성되기 때문에 캐패시터의 스토리지 전극의 면적이 증가되어 축적 용량이 향상된다. 또한 이를 구현하기 위한 공정이 단순화되기 때문에 생산성이 향상된다.

<28> 이하, 본 발명의 바람직한 실시예를 첨부한 도면에 따라서 더욱 상세히 설명하기로 한다.

<29> 실시예 1

<30> 도 2a 내지 도 2h는 본 발명의 실시예 1에 따른 캐패시터를 갖는 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

<31> 하기의 설명에서는 반도체 장치 중에서 하나의 트랜지스터와 하나의 캐패시터를 갖는 DRAM 장치를 예로 들면서 캐패시터의 제조 방법을 설명하고자 한다.

<32> 도 2a를 참조하면, 소자 구조물이 형성되어 있는 반도체 기판(30)상에 순차적으로 제1 절연층(40), 식각 저지층(42) 및 제2 절연층(44)을 형성한다. 상기 반도체 기판에 형성된 소자 구조물은 트랜지스터 및 비트 라인을 포함한다.

<33> 구체적으로 설명하면, 반도체 기판(30)상에 통상의 소자 분리 공정에 의해 필드 산화막(32)을 형성하여 액티브 영역을 한정한다. 이어서 표면에 얇은 게이트 산화막을 형성하고, 그 상부에 게이트 전극(34)을 형성시킨다. 상기 게이트 전극(34)의 저항을 감소시키기 위해, 상기 게이트 전극(34)은 통상의 도핑 공정, 예컨대 확산 공정, 이온주입 공정 또는 인-시튜 도핑 공정에 의해 고농도의 불순물로 도핑된 폴리실리콘층과 텅스텐 실리사이드층이 적층된 폴리사이드 구조로 형성할 수 있다. 그리고, 상기 게이트 전극(34)은 그 상부가 산화막이나 질화막으로 캡핑되며, 그 측벽에 산화막이나 질화막으로 이루어진 스페이서(34a)가 형성된다. 이어서, 상기 게이트 전극(34)을 마스크로 이용하여 불순물을 이온주입함으로써 소자영역의 표면에 트랜지스터의 소오스/드레인 영역(36)

을 형성한다.

<34>       상기 트랜지스터가 형성되어 있는 반도체 기판(30)상에 평탄화 특성이 우수한 BPSG(borophosphosilicate glass) 또는 USG(undoped silicate glass)를 증착하여 층간절연층을 형성한다. 이어서, 층간절연층을 리플로우 공정, 에치백 공정 또는 화학 기계적 연마(chemical mechanical polishing; CMP) 공정에 의해 평탄화시킨다. 사진식각 공정을 통해 층간절연층을 식각하여 비트라인 콘택홀(도시하지 않음)을 형성한다. 비트라인 콘택홀을 채우도록 도핑된 폴리실리콘층을 증착하고 그 상부에 텅스텐 실리사이드층을 증착한 후, 사진식각 공정을 통해 상기 층들을 패터닝하여 폴리사이드 구조의 비트라인(도시하지 않음)을 형성한다.

<35>       상기 소자 구조물이 형성되어 있는 반도체 기판(30)에 제1 절연층(40), 식각 저지층(42) 및 제2 절연층(44)을 형성한다. 상기 제1 절연층(40)은 층간 절연층 상에 절연물질을 더 증착시켜 형성한다. 그리고 하기의 설명에서 제1 절연층(40)은 이미 형성되어 있는 층간 절연층도 포함시킨다.

<36>       상기 제1 절연층(40) 및 제2 절연층(44)은 후속 공정을 통해 스토리지 전극을 형성하고, 상기 형성된 스토리지 전극간의 절연을 위한 층으로서, 통상적으로 절연 특성과 평탄화 특성이 우수한 BPSG 또는 USG를 1000 내지 15000 Å의 두께로 각각 증착시켜 형성할 수 있다.

<37>       또한 상기 제1 절연층(40)과 상기 제2 절연층(44)의 사이에 형성되는 식각 저지층(42)은 상기 제2 절연층(44)을 식각할 때 식각 종말점을 확인하기 위한 층이다. 따라서 상기 식각 저지층(42)은 상기 제2 절연층(44)과 식각 선택비가 높은 물질을 증착시켜 형성하며, 바람직하게는 상기 식각 선택비를 고려하여 실리콘 질화

물(SixNy) 또는 실리콘 산 질화물(SiON)을 50 내지 2000Å의 두께로 증착시켜 형성할 수 있다.

<38> 도 2b를 참조하면, 상기 제2 절연층(44)의 소정 부위를 상기 식각 저지층(42)이 노출되도록 식각하여 예비 개구부(47)를 형성한다.

<39> 구체적으로 설명하면, 상기 제2 절연층(44) 상에 포토레지스트를 도포하고, 상기 식각이 수행되어야 하는 소정 부위를 노광하여 포토레지스트 패턴(46)을 형성한다. 상기 포토레지스트 패턴(46)은 상기 반도체 기판(30)에서 전극 형성 영역의 중심의 상부에 해당하는 상기 제2 절연층(44)의 부위가 식각되도록 상기 부위를 노광하여 형성한다. DRAM 장치의 경우 상기 캐패시터의 전극 형성 영역은 상기 트랜지스터의 소오스(36) 또는 드레인 영역에 해당되며, 본 실시예에서는 소오스 영역(36)을 전극 형성 영역으로 하여 설명한다.

<40> 상기 포토레지스트 패턴(46)을 식각 마스크로 하여, 상기 식각 저지층(42)이 노출되도록 상기 제2 절연층(44)을 이방성 식각하여 예비 개구부(47)를 형성한다. 상기 이방성 식각은,  $C_5F_8$ ,  $O_2$ ,  $CH_2F_2$ , Ar 및 Co를 혼합한 혼합 가스를 사용하거나 상기 가스들의 조합에 의해 이루어지는 가스를 사용하여 수행할 수 있다. 이 때 상기 식각 저지층(42)이 상기 제2 절연층(44)에 비해 식각 속도가 느리기 때문에, 상기 식각 저지층(42)을 식각 종말점으로 하여 정확한 위치에까지 식각을 수행할 수 있다.

<41> 도 2c를 참조하면, 상기 예비 개구부(47)를 횡방향으로 확장시켜 제1 개구부(48)를 형성한다.

<42> 구체적으로, 상기 예비 개구부(47)를 형성하기 위한 포토레지스트 패턴(46)을 식각

마스크로 사용한다. 그리고 상기 예비 개구부(47)의 측벽을 등방성 식각하면, 상기 예비 개구부(47)의 식각된 부위가 횡방향으로 확장된 제1 개구부(48)가 형성된다. 즉, 상기 등방성 식각은 상기 예비 개구부(47) 측벽에 해당되는 상기 제2 절연층(44a)이 횡방향으로 식각되는 속도에 비해, 상기 식각 저지층(42)이 종방향으로 식각되는 속도가 느리게 진행되는 조건으로 수행되어, 상기 예비 개구부(47)의 식각 부위가 횡방향으로 확장된다. 이 때, 상기 제2 절연층(44a)과 상기 식각 저지층(42)은 고 선택비를 갖는 조건으로 식각이 수행되어야 하며, 바람직하게는 10 내지 40:1의 식각 선택비를 갖도록 식각이 수행되어야 한다. 이러한 상기 등방성 식각은 상기 제2 절연층(44a)을 선택적으로 식각하는 BOE(Buffered Oxide Etchant)와 같은 식각액에 침지하여 수행할 수 있다.

<43> 도 2d를 참조하면, 상기 제1 개구부(48)의 저면의 소정 부위를 식각하여 상기 반도체 기관(30)이 노출되고, 상기 제1 개구부(48)에 비해 식각되는 부위가 좁은 제2 개구부(50)를 형성한다.

<44> 구체적으로, 상기 제1 개구부(48)의 상부에 포토레지스트 패턴(46)을 제거하지 않고, 상기 포토레지스트 패턴(46)을 마스크로 하여 상기 식각 저지층(42) 및 상기 제1 절연층(40)을 이방성 식각한다. (40a) 상기 포토레지스트 패턴(46)은 상기 소오스 영역(36)의 상부를 노광하여 형성하였으므로 상기 포토레지스트 패턴(46)을 마스크로 하여 식각을 수행하면, 상기 소오스 영역(36)의 중앙부에 제2 개구부(50)의 저부가 접촉된다. 즉, 상기 제1 개구부(48)의 하부와 연속되고, 상기 제1 개구부(48)에 비해 식각되는 부위가 좁은 제2 개구부(50)가 형성된다. 상기 이방성 식각은  $C_5F_8$ ,  $O_2$ ,  $CH_2F_2$ , Ar 및 Co를 혼합한 혼합 가스 내지는 상기 가스들의 조합에 의해 이루어지는 가스를 사용하여 수행할 수 있다.

- <45> 따라서 상기 2b 내지 2d에 설명한 단계를 수행함으로써, 반도체 기판과 콘택이 이루어지는 부위는 좁고, 상부의 소정 지점에서 식각 부위가 넓어지는 형태를 갖는 개구부(52)를 형성할 수 있다.
- <46> 상기에서 설명한 바와 같이, 상기 2b의 단계에서 형성된 상기 포토레지스트 패턴(46)은 상기 제2 절연층(44)의 이방성 식각뿐 아니라 등방성 식각 및 상기 제1 절연층(40)의 이방성 식각시에 계속적으로 식각 마스크로서 사용하게 된다. 그러므로 상기 포토레지스트 패턴(46)은 상기 개구부(52)의 저부가 접촉되는 부분이 상기 반도체 기판(30)의 소오스 영역(36)의 중심이 되도록 정확히 패터닝하여 형성하여야 한다. 또한 다수번에 걸친 상기 절연층들(40, 44)의 식각에 의해 상기 포토레지스트 패턴(46)이 식각되거나, 상기 포토레지스트 패턴(46)이 무너지지 않아야 한다. 따라서 상기 제2 절연층(44)과 제1 절연층(40)의 식각을 수행할 때 상기 포토레지스트 패턴(46)과의 식각 선택비가 5 내지 25:1을 갖도록 수행하여, 상기 다수번의 식각 공정에 의해 상기 포토레지스트 패턴(46)의 변형이 발생되지 않도록 한다.
- <47> 도 2e를 참조하면, 상기 포토레지스트 패턴(46)을 제거하고, 상기 제1 및 제2 개구부(48, 52)의 측벽 및 저면에 연속적으로 도전 물질을 증착시켜 제1 도전층(54)을 형성한다. 상기 제1 도전층(54)은 캐패시터의 스토리지 전극으로 형성된다.
- <48> 상기 도전 물질은 불순물이 도핑되어 있는 폴리실리콘을 사용할 수 있으며, 형성되는 제1 도전층(54)은 200 내지 1000Å의 두께를 갖도록 한다. 상기 폴리실리콘은 증착 특성이 우수하고 얇은 두께를 가지므로, 상기 개구부(52)를 매몰하지 않으면서 상기 개구부(52)의 측벽과 하부면에 증착된다. 그러므로 종래와 같이 상기 제1 개구부(48)가 도전 물질에 의해 매몰되어 콘택 플러그의 형태를 갖는 것이 아니라, 상기 반도체 기판

(30)의 소오스 영역(36)에까지 제1 도전층(54)이 얇게 증착되는 형태로 상기 스토리지 전극이 형성된다. 따라서 상기 스토리지 전극의 표면적이 증가되고, 상기 표면적의 증가로 인해 캐패시터의 축적 용량이 증가되는 효과를 갖는다.

<49> 도 2f를 참조하면, 상기 개구부(52)의 측벽과 하부면에는 제1 도전층(54)이 증착되어 있고, 그 이외의 부분에는 제2 절연층(44b)이 노출되는 형태를 가지도록 에치백하여 제1 도전층 패턴(54a)을 형성한다.

<50> 상기 에치백은, 상기 캐패시터가 상기 반도체 기판(30)에 연속적으로 형성될 경우에 인접한 캐패시터 간의 상기 스토리지 전극의 노드를 분리하기 위해 수행된다. 상기 에치백은 화학 기계적 연마를 수행하거나 또는 건식 식각에 의해 수행할 수 있다.

<51> 도 2g를 참조하면, 상기 노드가 분리된 제1 도전층 패턴(54a)의 표면에 반구형의 실리콘 그레인(Hemispherical Grain, 이하 HSG)을 형성시킨다. 즉 상기 개구부(52)의 내부의 측벽 및 하부면에 증착된 제1 도전층 패턴(54a)의 표면에 상기 HSG(56)를 성장시킨다. 이는 상기 제1 도전층 패턴(54a)의 표면적을 증가시켜 캐패시터의 축적 용량을 증가하기 위하여 수행된다.

<52> 도 2h를 참조하면, 상기 HSG(56)가 형성되어 있는 제1 도전층 패턴(54a)에 순차적으로 유전체층(58) 및 제2 도전층(60)을 형성하여 캐패시터를 형성한다. 상기 제2 도전층(60)은 형성되는 캐패시터에서 플레이트 전극의 역할을 한다.

<53> 따라서 반도체 기판과 접촉하는 부위는 좁고, 상부의 소정 지점에서 식각되는 부위가 넓어지는 형태를 갖는 개구부를 형성할 수 있고, 상기 개구부의 측면 및 저면에 상기 스토리지 전극을 형성하여 캐패시터의 축적 용량을 증대할 수 있다. 또한 포토레지스트



패턴을 형성하는 사진 공정을 단 1회만 수행하여 상기의 형태를 갖는 개구부를 형성할 수 있기 때문에 공정이 단순화된다.

<54> 실시예 2

<55> 상술한 실시예 1의 도 2g에 도시된 바와 같이 상기 HSG는 상기 개구부에 증착되어 있는 제1 도전층 패턴의 내측의 표면에 형성된다. 그러나 본 발명의 제2 실시예에 의하면, 상기 제1 도전층 패턴의 내측뿐 아니라 외측의 표면에까지 HSG를 형성하여 캐패시터의 축적 용량을 더욱 증가시킨다. 상기한 점 이외에는 상기 제1 실시예와 공정이 동일하다. 하기의 설명에서 실시예 1과 동일한 참조 부호는 동일한 부재를 나타낸다.

<56> 도 3a 내지 도 3d는 본 발명의 실시예 2에 따른 반도체 장치에서 캐패시터의 제조하는 방법을 나타내기 위한 단면도들이다.

<57> 도 3a를 참조하면, 실시예 1의 도 2a 내지 도 2f에서 설명한 것과 동일한 공정을 수행하여, 반도체 기판과 접촉하는 부위는 좁고, 상부의 소정 지점에서 식각되는 부위가 넓어지는 형태를 갖는 개구부(52)를 형성하고, 상기 개구부에 제1 도전층(54)을 형성하고 에치백하여 제1 도전층 패턴(54a)을 형성한다.

<58> 도 3b를 참조하면, 상기 제2 절연층을 상기 식각 저지층(42a)이 노출되도록 식각하여 제거한다.

<59> 그러면, 도시된바 대로 상기 제1 절연층(40a)의 상부에 식각 저지층(42a) 및 상기 제1 도전층 패턴(54a)만이 남게된다. 상기 제2 절연층(44b)의 식각은 절연층을 선택적으로 식각할 수 있는 식각액을 사용한 습식 식각에 의해 제거할 수 있다.

- <60> 도 3c를 참조하면, 상기 제1 도전층 패턴(54a)의 표면에 HSG(56a)를 성장시켜 스토리지 전극을 형성한다. 이 때 상기 제1 절연층(40a)상에 놓여있는 부분의 상기 제1 도전층 패턴(54a)은 내측과 외측의 표면 모두가 외부와 노출되어 있으므로, 상기 내측과 외측의 표면에 HSG(56a)를 형성시킬 수 있다.
- <61> 따라서 제1 실시예에서 보다 상기 HSG(56a)를 더 많이 성장시킬 수 있으므로, 스토리지 전극의 표면적이 증가되어 캐패시터의 축적 용량을 더 증가시킬 수 있다.
- <62> 도 3d를 참조하면, 상기 HSG(56a)가 형성되어 있는 제1 도전층 패턴(54a)에 순차적으로 유전체층(58a) 및 제2 도전층(60a)을 형성하여 캐패시터를 형성한다. 상기 제2 도전층(60a)은 형성되는 캐패시터의 플레이트 전극의 역할을 한다.
- <63> 따라서 본 발명의 제2 실시예에 의하면, 제1 실시예에 의해 형성되는 캐패시터에 비해 스토리지 전극의 표면적을 더욱 증가되어 캐패시터의 축적 용량을 증가시킬 수 있는 효과가 있다.

#### 【발명의 효과】

- <64> 상술한 바와 같이 본 발명에 의하면, 사진 공정 및 에치백 공정을 1회만 수행하여 캐패시터를 형성할 수 있다. 따라서 수회에 걸친 사진 공정 및 에치백 공정에 의해 발생할 수 있는 불량률의 가능성을 감소하였을 뿐 아니라, 반도체 장치의 생산성을 향상시키는 효과가 있다. 또한 반도체 기관의 전극 형성 영역에 콘택 플러그를 형성하지 않고, 도전 물질을 얇게 증착시켜 스토리지 전극을 형성하므로 상기 스토리지 전극의 표면적을 증가되어 캐패시터의 축적 용량을 증가시킬 수 있다.
- <65> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙

련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

<66>       상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 제1 절연층, 식각 저지층 및 제2 절연층을 순차적으로 증착시킨 구조물을 형성하는 단계;

상기 제2 절연층의 소정 부위를 식각하여 식각 저지층을 노출시키는 예비 개구부를 형성하는 단계;

상기 예비 개구부를 횡방향으로 확장시켜 제1 개구부를 형성하는 단계;

상기 제1 개구부의 하부면의 소정 부위를 식각하여, 상기 제1 개구부에 비해 식각되는 부위가 좁고, 상기 반도체 기판의 전극 형성 영역과 접촉되는 제2 개구부를 형성하는 단계;

상기 제1 개구부와 제2 개구부의 측벽 및 하부면에 연속적으로 제1 도전층 패턴을 형성하는 단계; 및

상기 제1 도전층 패턴상에 순차적으로 유전체층 및 제2 도전층을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

**【청구항 2】**

제1항에 있어서, 상기 제1 개구부와 제2 개구부를 형성하는 단계는,

상기 제2 절연층의 상부에 예비 개구부를 형성하기 위한 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 하여 상기 제2 절연층을 이방성 식각하여 식각저지층이 노출되는 상기 예비 개구부를 형성하는 단계;

상기 예비 개구부의 측벽 부위를 등방성 식각하여 횡방향으로 확장된 제1 개구부를 형성하는 단계; 및

상기 포토레지스트 패턴을 마스크로 하여 상기 제1 개구부의 하부면의 소정 부위를 이방성 식각하여 반도체 기판이 노출되는 제2 개구부를 형성하는 단계에 의해 수행되는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 3】

제2항에 있어서, 상기 포토레지스트 패턴은 상기 반도체 기판의 전극 형성 영역의 중심의 상부에 해당하는 상기 제2 절연층의 부위를 노광하여 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 4】

제2항에 있어서, 상기 제1 절연층 및 제2 절연층은 상기 포토레지스트 패턴과 5 내지 25:1의 식각 선택비를 갖고 식각을 수행하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 5】

제2항에 있어서, 상기 제1 절연층 및 제2 절연층의 이방성 식각은  $C_5F_8$ ,  $O_2$ ,  $CH_2F_2$ , Ar 및 Co를 포함하는 혼합 가스를 사용한 건식 식각에 의해 수행하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 6】

제2항에 있어서, 상기 예비 개구부의 측벽 부위의 등방성 식각은 상기 제2

절연층과 상기 식각 저지층이 10 내지 40:1의 식각 선택비를 갖도록 수행하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 7】

제2항에 있어서, 상기 예비 개구부의 측벽 부위의 등방성 식각은 식각액에 의한 습식 식각에 의해 수행하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 8】

제1항에 있어서, 상기 제1 절연층 및 상기 제2 절연층은 1000 내지 15000 Å의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 9】

제 1항에 있어서, 상기 식각 저지층은 실리콘 질화물 또는 실리콘 산 질화물을 증착하여 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 10】

제1항에 있어서, 상기 식각 저지층은 50 내지 2000 Å의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 11】

제1항에 있어서, 상기 제1 도전층 패턴은,

상기 제1 개구부 및 제2 개구부의 측면, 저면에는 제1 도전층을 형성하는 단계;

및

상기 제1 개구부 및 제2 개구부의 측면, 저면 이외의 부위는 제2 절연층을 노출되

도록 에치백하는 단계를 수행하여 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 12】

제 11항에 있어서, 상기 제1 도전층은 200 내지 1000Å의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 13】

제11항에 있어서, 상기 에치백 단계는 건식 식각 또는 화학 기계적 연마방법에 의해 수행하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 14】

제11항에 있어서, 상기 제1 개구부와 제2 개구부의 측벽 및 저면에 증착된 상기 제1 도전층 패턴의 표면에 HSG를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 15】

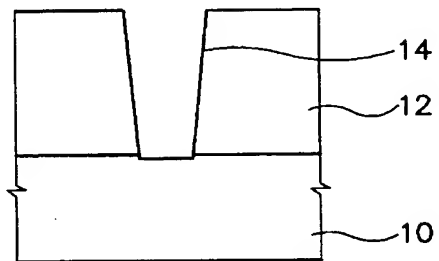
제1항에 있어서, 상기 제1 도전층 패턴을 형성한 이후에, 상기 노출된 제2 절연층을 식각하여 제거하는 단계를 더 수행하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【청구항 16】

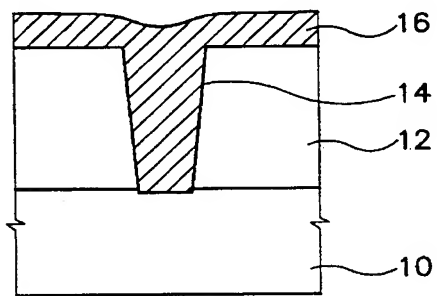
제15항에 있어서, 상기 제1 도전층 패턴의 표면 전체에 HSG를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 캐패시터 제조 방법.

【도면】

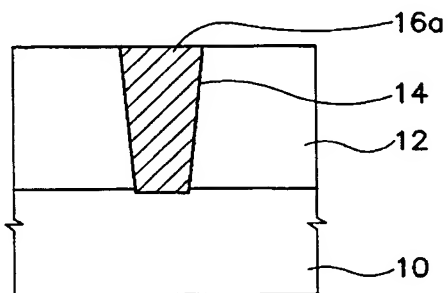
【도 1a】



【도 1b】

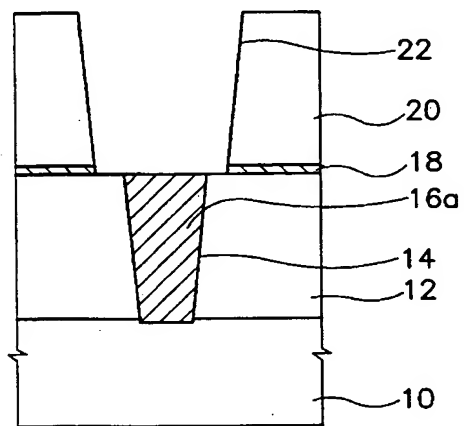


【도 1c】

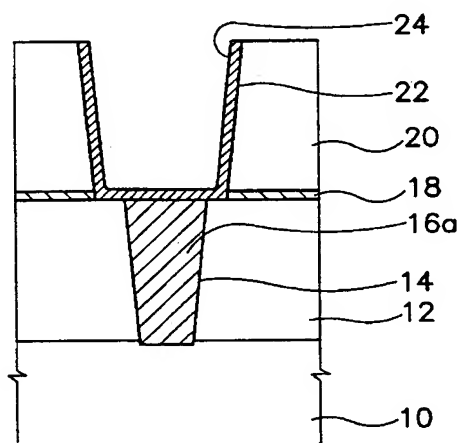




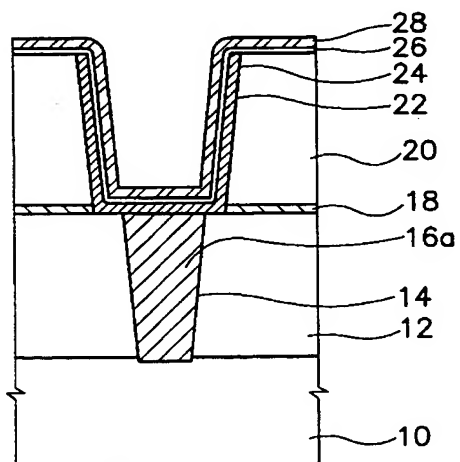
【도 1d】



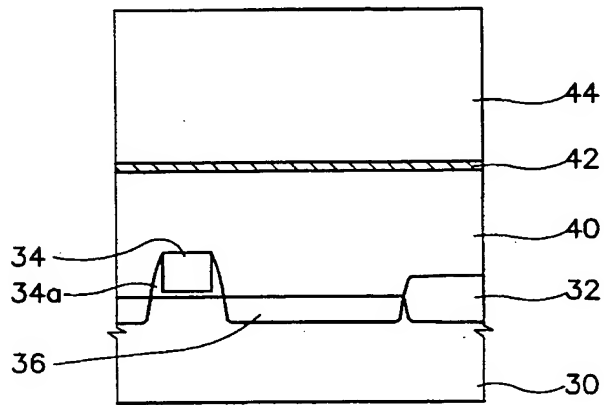
【도 1e】



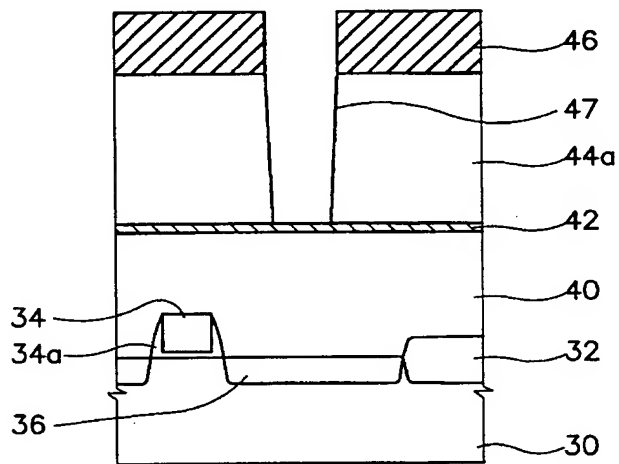
【도 1f】



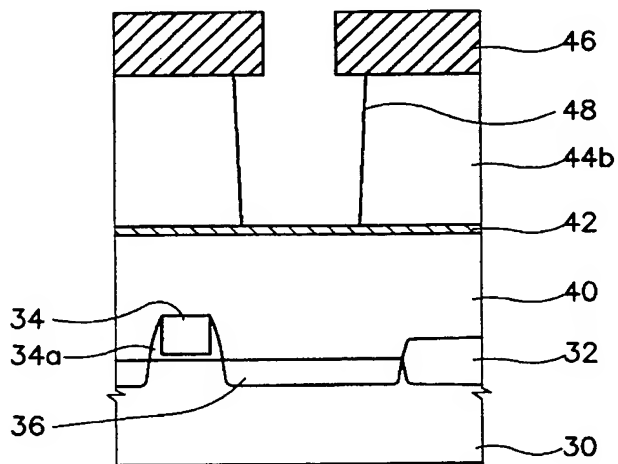
【도 2a】



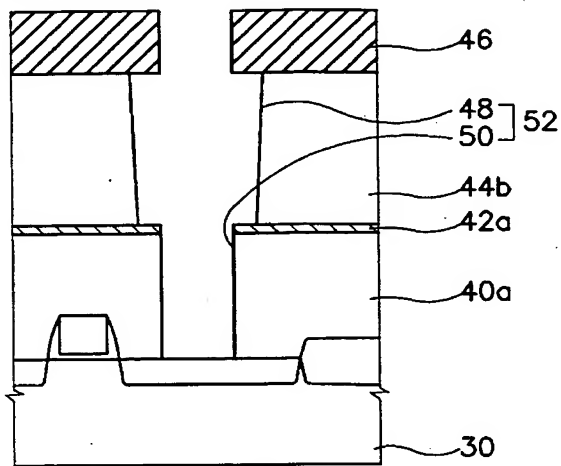
【도 2b】



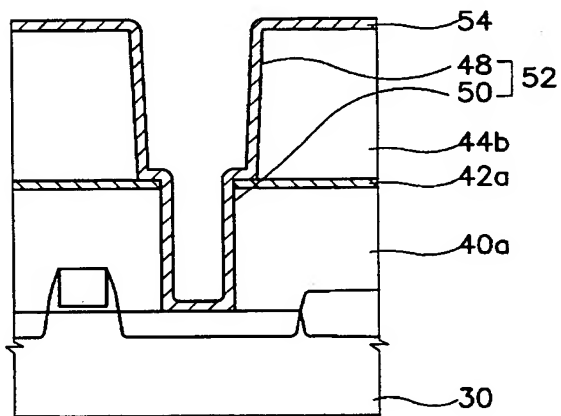
【도 2c】



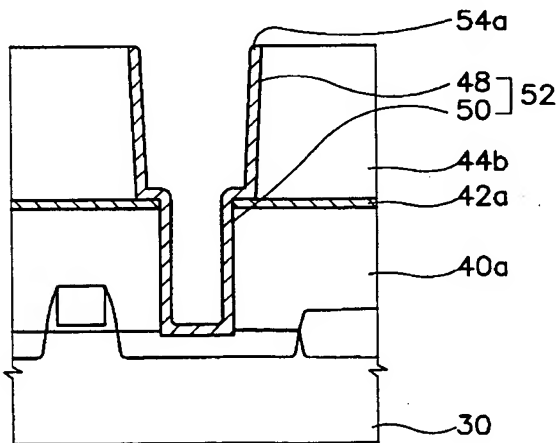
【도 2d】



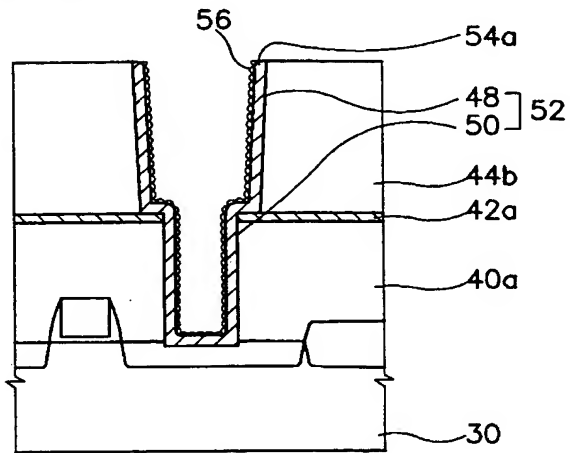
【도 2e】



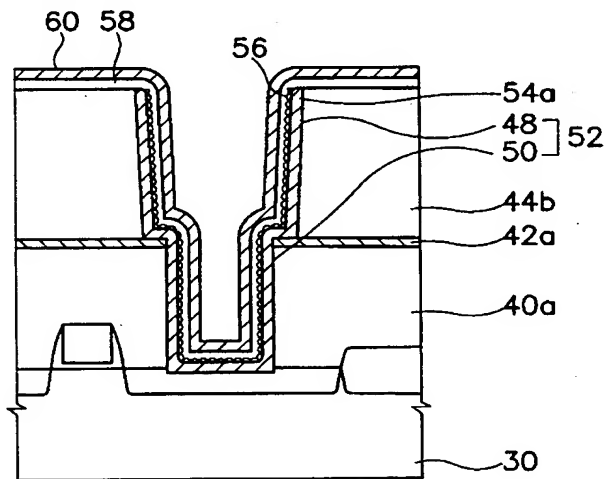
【도 2f】



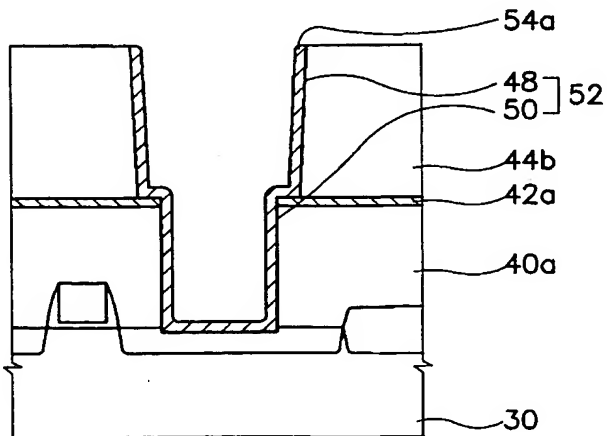
【도 2g】



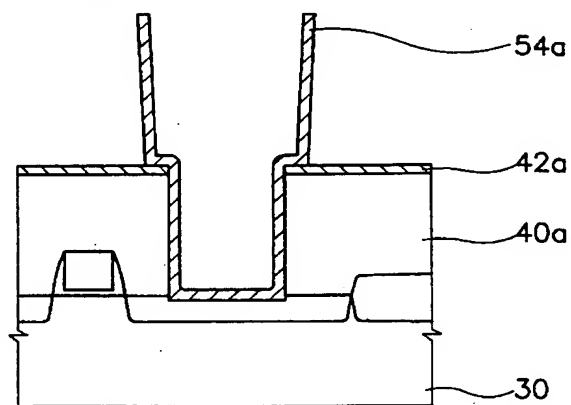
【도 2h】



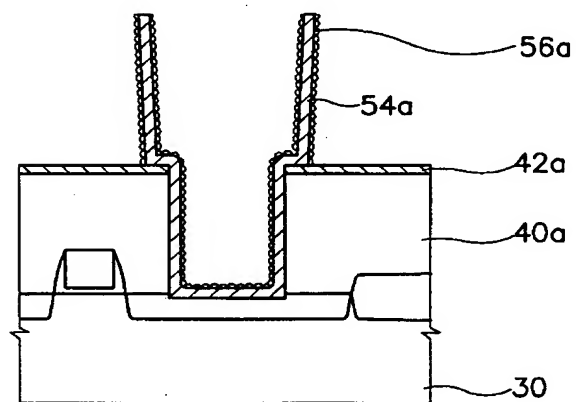
【도 3a】



【도 3b】



【도 3c】



【도 3d】

